

PSM SOM 核心板简介

Revision 1.0

2023-04-13

武汉精锋微控科技有限公司

www.ps-micro.com

敬告

感谢您购买和使用 PSM SOM 核心板产品。为了您的安全和利益，在使用产品前请您仔细阅读本产品用户使用手册及随机附带的全部资料。如果您未按照用户使用手册操作和使用产品，而导致任何的人身伤害、财产或其他损失，武汉精锋微控科技有限公司将不承担责任。

版权说明

对于您将阅览的以下信息（包括但不限于文字表述及其组合、图标、图片及图表、版面设计、编排方式、数据及软件介绍、色彩搭配等），武汉精锋微控科技有限公司特发表以下声明：

本文档系武汉精锋微控科技有限公司（以下简称：本公司）创作并对其享有完全的、完整的版权，未经本公司书面同意，任何单位或个人均不得以任何形式进行转载、复制、编辑、修改，或以其他方式违法使用。

本文档中可能产生的著作权、硬件、软件及专有技术的所有权、或某项技术的专利申请权、专利权等全部权利皆为本公司所有。

未经本公司书面同意，其他单位或个人使用该信息资料而影响自身或第三方权益的，或第三方未同本公司联系、核实而与其他单位或个人进行交易并造成损失的，本公司不承担任何赔偿或补偿责任。

武汉精锋微控科技有限公司

地址：武汉市东湖高新区华中科技大学科技园 1 号研发楼

销售邮箱：sales@ps-micro.com

售后邮箱：support@ps-micro.com

官方网站：www.ps-micro.com

目录

目录	3
文档版本	4
1 核心板简介	5
1.1 产品介绍	5
1.2 产品参数	5
1.3 产品外观	6
1.4 产品尺寸	6
2 核心板管脚定义	8
2.1 管脚定义	8
3 核心板使用说明	11
3.1 电源连接	11
3.2 时钟	12
3.3 全局复位	12
3.4 启动方式	13
3.5 网口连接	13
3.6 EMMC 管脚定义	14
3.7 QSPI FLASH	15
3.8 板载 LED	15
3.9 BANK35 电平选择	16
4 底板设计注意事项	17
4.1 电源部分 PCB 设计	17
4.2 高速接口布局走线	17
4.3 LVDS 信号	17
4.4 产品防护	17
4.5 ZYNQ7010 与 7020 差异	18
5 附录	19
5.1 参考资料	19
5.2 联系方式	19

文档版本

日期	版本	作者	概要
2023-04-10	1.0	精锋微控	初始版本

Table 1: 版本历史

1 核心板简介

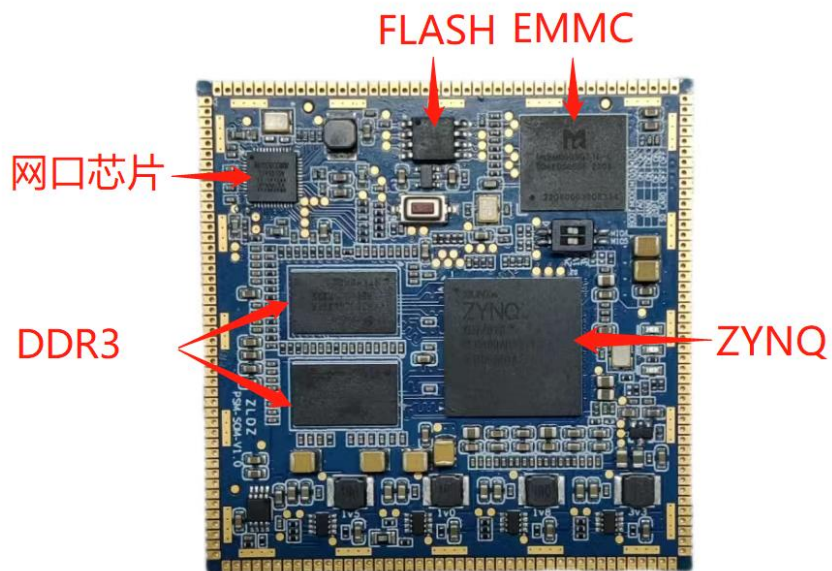
1.1 产品介绍

PSM-SOM 核心板采用 XILINX 公司的 ZYNQ7010/7020 芯片作为主控制器。采用了 Xilinx 最新的基于 28nm 工艺流程的 Zynq-7000 All Programmable SoC 平台，将 ARM 处理器和 FPGA 架构紧密集成，PS 单元拥有双核 ARM Cortex-A9 MPCore 的高性能，低功耗特性，在设计中能更好的满足各种工业需要。核心板设计为 1.27mm 间距连接器与邮票孔兼容的连接方式。核心板使用时是焊接到底板上，这样能确保在强烈震动的环境下稳定运行，杜绝连接器方式因老化而造成接触不良。

1.2 产品参数

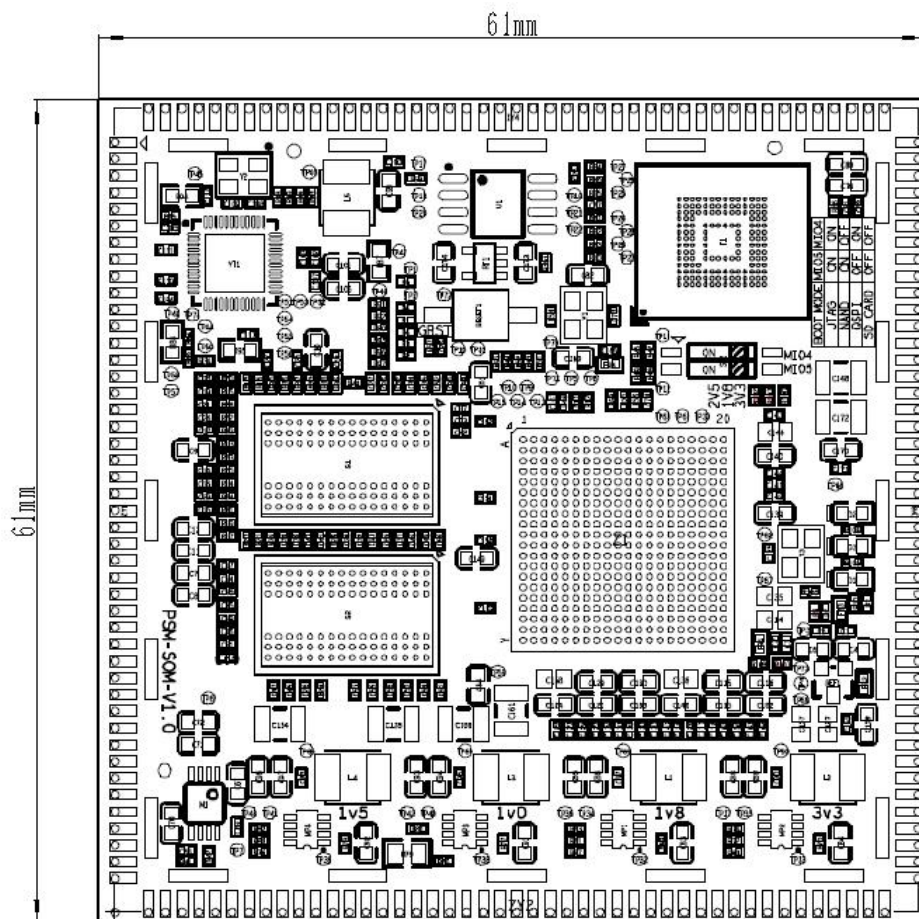
PSM-SOM	
主控制器	XC7Z010/XC7Z020
DDR3	512MB
QSPI	16MB，存储启动文件和用户文件
EMMC	8GB，存储启动文件和用户文件
启动方式	JTAG/QSPI/SD，板载拨码开关选择
千兆以太网	1 路
用户 LED	2 路
工作电压	5V/1A
IO 数量	24 个 PS 端口,94 个 PL 端口/24 个 PS 端口,118 个 PL 端口
工作温度	0°C~70 °C/-40°C~+85 °C
核心板尺寸、工艺	61x61mm、沉金、1.27 间距邮票孔或排针

1.3 产品外观



1.4 产品尺寸

核心板尺寸为 61 x 61 mm，每边引出 45 个邮票孔，共计 180 个邮票孔，孔间距 1.27mm。



2 核心板管脚定义

2.1 管脚定义

管脚	管脚名称	管脚位置	管脚说明	管脚	管脚名称	管脚位置	管脚说明
1	GND		地	91	GND		地
2	VDD_5V		5V 电源输入	92	VDD_5V		5V 电源输入
3	GPHY_MDC	C10	1.8V 电压域, 已上拉	93	FPGA_GPIO_15P_34	T20	3.3V 电压域, BANK34
4	GPHY_MDIO	C11	1.8V 电压域, 已上拉	94	FPGA_GPIO_15N_34	U20	
5	TXRXP_A		网口数据线	95	FPGA_GPIO_23P_34	N17	
6	TXRXM_A			96	FPGA_GPIO_23N_34	P18	
7	TXRXP_B			97	FPGA_GPIO_13P_34	N18	
8	TXRXM_B			98	FPGA_GPIO_13N_34	P19	
9	TXRXP_C			99	FPGA_GPIO_14P_34	N20	
10	TXRXM_C			100	FPGA_GPIO_14N_34	P20	
11	TXRXP_D			101	FPGA_GPIO_8P_35	M17	1.8V/2.5V/3.3V 电压可调, 默认 3.3V, BANK35
12	TXRXM_D			102	FPGA_GPIO_8N_35	M18	
13	GPHY_LED_GREEN		OD 门, 上拉接 LED	103	FPGA_GPIO_11P_35	L16	
14	GPHY_LED_YELLOW		OD 门, 上拉接 LED	104	FPGA_GPIO_11N_35	L17	
15	nGRST		复位, 已上拉 3.3V	105	FPGA_GPIO_22P_35	L14	
16	VREF_JTAG		JTAG 参考电平/3.3V	106	FPGA_GPIO_22N_35	L15	
17	JTAG_TCK		JTAG 时钟	107	FPGA_GPIO_10P_35	K19	
18	JTAG_TDI		JTAG 输入	108	FPGA_GPIO_10N_35	J19	
19	JTAG_TDO		JTAG 输出	109	FPGA_GPIO_12P_35	K17	
20	JTAG_TMS		JTAG 模式	110	FPGA_GPIO_12N_35	K18	
21	FPGA_GPIO_19P_13	T5	3.3V 电压域、BANK13 (only for zynq7020)	111	FPGA_GPIO_24P_35	K16	
22	FPGA_GPIO_19N_13	U5		112	FPGA_GPIO_24N_35	J16	
23	GND		地	113	GND		地
24	FPGA_GPIO_22P_13	V6	3.3V 电压域、BANK13 (only for zynq7020)	114	FPGA_GPIO_15P_35	F19	1.8V/2.5V/3.3V 电压可调, 默认 3.3V, BANK35
25	FPGA_GPIO_22N_13	W6		115	FPGA_GPIO_15N_35	F20	
26	FPGA_GPIO_11P_13	U7		116	FPGA_GPIO_18P_35	G19	
27	FPGA_GPIO_11N_13	V7		117	FPGA_GPIO_18N_35	G20	
28	FPGA_GPIO_13P_13	Y7		118	FPGA_GPIO_16P_35	G17	
29	FPGA_GPIO_13N_13	Y6		119	FPGA_GPIO_16N_35	G18	
30	FPGA_GPIO_15P_13	V8		120	FPGA_GPIO_5P_35	E18	
31	FPGA_GPIO_15N_13	W8		121	FPGA_GPIO_5N_35	E19	
32	FPGA_GPIO_14P_13	Y9		122	FPGA_GPIO_3P_35	E17	

33	FPGA_GPIO_14N_13	Y8		123	FPGA_GPIO_3N_35	D18	
34	FPGA_GPIO_17P_13	U9		124	FPGA_GPIO_1P_35	C20	
35	FPGA_GPIO_17N_13	U8		125	FPGA_GPIO_1N_35	B20	
36	FPGA_GPIO_16P_13	W10		126	FPGA_GPIO_21P_35	N15	
37	FPGA_GPIO_16N_13	W9		127	FPGA_GPIO_21N_35	N16	
38	FPGA_GPIO_12P_13	T9		128	FPGA_GPIO_7P_35	M19	
39	FPGA_GPIO_12N_13	U10		129	FPGA_GPIO_7N_35	M20	
40	FPGA_GPIO_21P_13	V11		130	FPGA_GPIO_9P_35	L19	
41	FPGA_GPIO_21N_13	V10		131	FPGA_GPIO_9N_35	L20	
42	FPGA_GPIO_18P_13	W11		132	FPGA_GPIO_23P_35	M14	
43	FPGA_GPIO_18N_13	Y11		133	FPGA_GPIO_23N_35	M15	
44	VDD_5V		5V 电源输入	134	VDD_5V		5V 电源输入
45	GND		地	135	GND		地
46	GND		地	136	GND		地
47	VDD_5V		5V 电源输入	137	VDD_5V		5V 电源输入
48	FPGA_GPIO_20P_13	Y12	3.3V 电压域、BANK13	138	FPGA_GPIO_20P_35	K14	1.8V/2.5V/3.3V 电压可调，默认 3.3V，BANK35
49	FPGA_GPIO_20N_13	Y13		139	FPGA_GPIO_20N_35	J14	
50	FPGA_GPIO_11P_34	U14	3.3V 电压域, BANK34 (FPGA GPIO_3P_34, 此引脚为配置脚，内部做了 1K 电阻上拉，使用时需要注意)	140	FPGA_GPIO_17P_35	J20	
51	FPGA_GPIO_11N_34	U15		141	FPGA_GPIO_17N_35	H20	
52	FPGA_GPIO_7P_34	Y16		142	FPGA_GPIO_13P_35	H16	
53	FPGA_GPIO_7N_34	Y17		143	FPGA_GPIO_13N_35	H17	
54	FPGA_GPIO_18P_34	V16		144	FPGA_GPIO_14P_35	J18	
55	FPGA_GPIO_18N_34	W16		145	FPGA_GPIO_14N_35	H18	
56	FPGA_GPIO_3P_34	U13		146	FPGA_GPIO_19P_35	H15	
57	FPGA_GPIO_3N_34	V13		147	FPGA_GPIO_19N_35	G15	
58	FPGA_GPIO_6P_34	P14		148	FPGA_GPIO_6P_35	F16	
59	FPGA_GPIO_6N_34	R14		149	FPGA_GPIO_6N_35	F17	
60	FPGA_GPIO_10P_34	V15		150	FPGA_GPIO_4P_35	D19	
61	FPGA_GPIO_10N_34	W15		151	FPGA_GPIO_4N_35	D20	
62	FPGA_GPIO_9P_34	T16		152	FPGA_GPIO_2P_35	B19	
63	FPGA_GPIO_9N_34	U17		153	FPGA_GPIO_2N_35	A20	
64	FPGA_GPIO_19P_34	R16		154	MIO28_501	C16	1.8V 电压域 ARM 侧信号
65	FPGA_GPIO_19N_34	R17		155	MIO29_501	C13	
66	FPGA_GPIO_4P_34	V12		156	MIO30_501	C15	
67	FPGA_GPIO_4N_34	W13		157	MIO31_501	E16	1.8V 电压域 ARM 侧信号
68	GND		地	158	GND		
69	FPGA_GPIO_2P_34	T12	3.3V 电压域、BANK34	159	MIO32_501	A14	
70	FPGA_GPIO_2N_34	U12		160	MIO33_501	D15	
71	FPGA_GPIO_8P_34	W14		161	MIO34_501	A12	

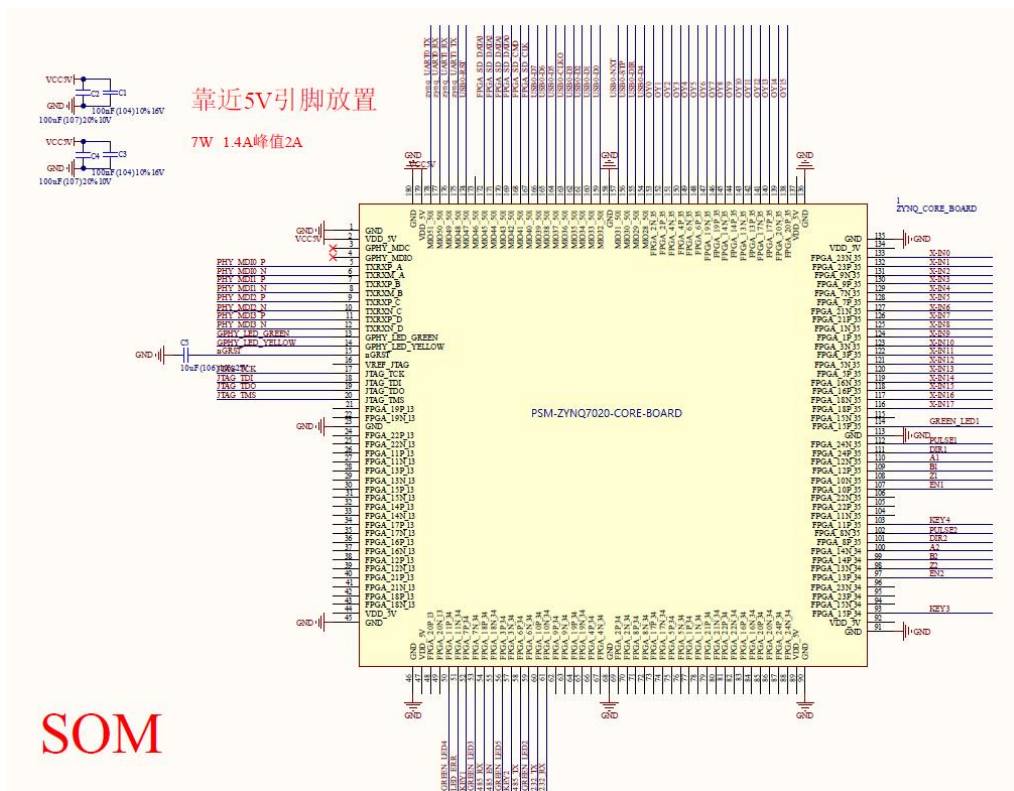
72	FPGA_GPIO_8N_34	Y14		162	MIO35_501	F12	
73	FPGA_GPIO_17P_34	Y18		163	MIO36_501	A11	
74	FPGA_GPIO_17N_34	Y19		164	MIO37_501	A10	
75	FPGA_GPIO_5P_34	T14		165	MIO38_501	E13	
76	FPGA_GPIO_5N_34	T15		166	MIO39_501	C18	
77	FPGA_GPIO_1P_34	T11		167	MIO40_501	D14	
78	FPGA_GPIO_1N_34	T10		168	MIO41_501	C17	
79	FPGA_GPIO_21P_34	V17		169	MIO42_501	E12	
80	FPGA_GPIO_21N_34	V18		170	MIO43_501	A9	
81	FPGA_GPIO_22P_34	W18		171	MIO44_501	F13	
82	FPGA_GPIO_22N_34	W19		172	MIO45_501	B15	
83	FPGA_GPIO_16P_34	V20		173	MIO46_501	D16	
84	FPGA_GPIO_16N_34	W20		174	MIO47_501	B14	
85	FPGA_GPIO_20P_34	T17		175	MIO48_501	B12	
86	FPGA_GPIO_20N_34	R18		176	MIO49_501	C12	
87	FPGA_GPIO_24P_34	P15		177	MIO50_501	B13	
88	FPGA_GPIO_24N_34	P16		178	MIO51_501	B9	
89	VDD_5V		5V 电源输入	179	VDD_5V		5V 电源输入
90	GND		地	180	GND		地

3 核心板使用说明

3.1 电源连接

核心板采用 5V 输入供电，在模块的四个角都留有 5V 输入引脚，5V 引脚在模块内部已连通，这样设计是为了方便底板的电源输入，设计时只需要连接一个角上的两个 5V 引脚核心板即可工作，模块上的所有 GND 信号都需要连接到底板上，共计 12 个 GND。

为了保证电源更加稳定，建议在 5V 输入前级加一级 DCDC，从较高电压转到 5V，DCDC 输出电流能力可以选 1.4A 左右，峰值为 2A。在 5V 电源输入处需放置 100uF/10V 电容保证电源质量。模组功耗 7W。

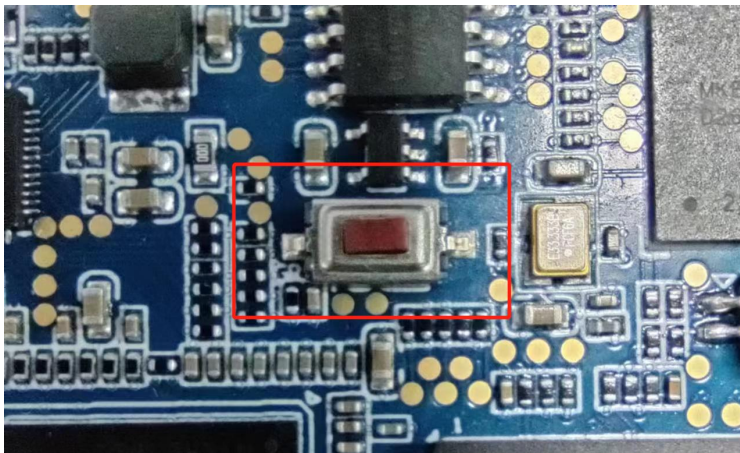


3.2 时钟

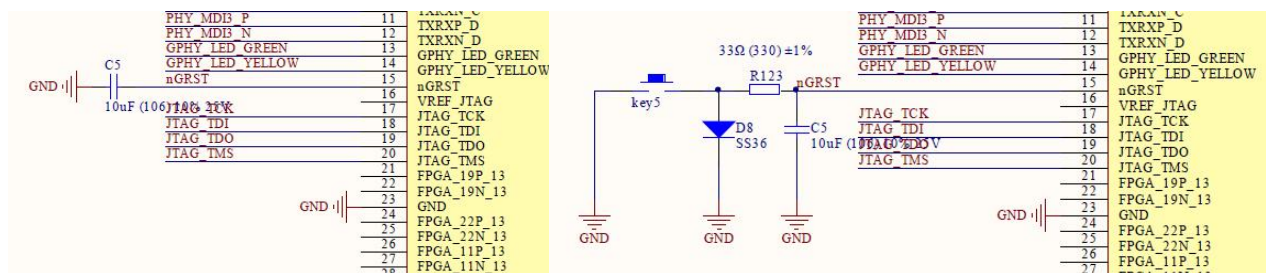
核心板为 PS 侧提供 33.333Mhz 的时钟输入，输入的管脚位置为 PS_CLK_500，引脚号是 E7；为 PL 侧提供 50Mhz 的时钟输入，PL 侧的时钟输入管脚是 FPGA_12P_MRCC_34，引脚号是 U18。

3.3 全局复位

核心板提供了 nGRST 复位按键，为系统复位按键，低电平有效，此引脚也引出到邮票孔位置，方便用户外部使用。此复位脚 PS/PL 侧共用，分别连接到 PS 侧的 PS_POR_B_500，引脚号为 C7，PL 侧的 FPGA_12N_34，引脚号是 U19。核心板上复位按键位置如下图。

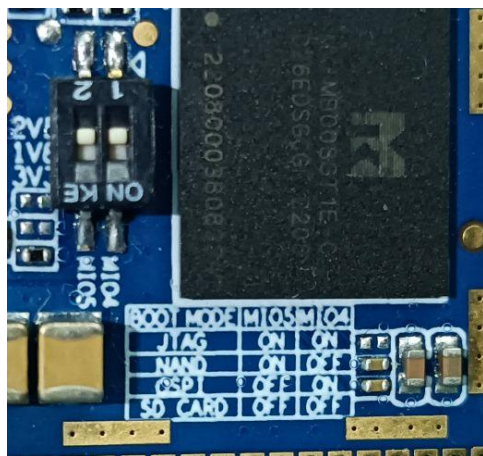


nGRST 在核心板内部已做上拉，在设计底板复位电路上有三种方案：一种是底板不需要把 nGRST 拉到结构外壳上，如下左图，在 nGRST 管脚上对地下拉 1uF 电容即可；如果需要把 nGRST 拉到结构外壳上做复位使用，可参考右图，除对地下拉 10uF 电容外，还需要外加 ESD 保护电路，如下右图；另外如果成本比较宽裕情况下，可以使用专用复位芯片来替代 RC 复位电路，如使用 ADM6711SAKSZ 或者 TCM811TERCTR 都可以实现，复位芯片供电电源使用 3.3V。



3.4 启动方式

核心板支持三种启动模式，分别是 JTAG、QSPI Flash、SD 卡。板载了前两种方式，SD 卡方式用户可以通过在底板上连接实现。启动方式可以通过板载的拨码开关来选择，如下图已列出各个模式拨码开关所在的位置。

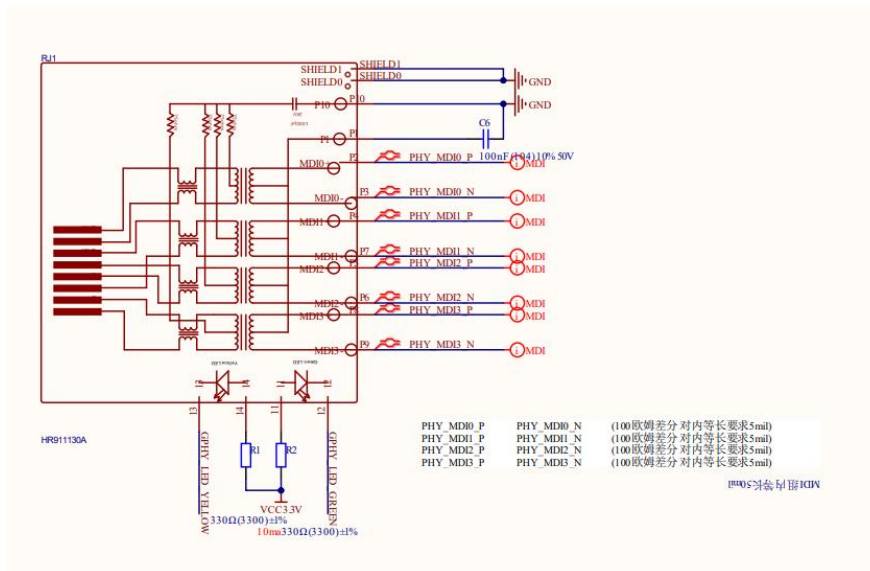


3.5 网口连接

核心板上放置了一颗千兆以太网芯片 YT8531H,以太网芯片与 ZYNQ 芯片之间通过 RGMII 接口互联，连接对应管脚见下表。以太网对外连接一个带变压器的 RJ45 即可使用，连接原理图可参考下图（产品电路需加 ESD 保护电路）。

管脚名称	管脚位置	RMGII 信号
PS_MI016_501	A19	ETH_TXCK

PS_MI017_501	E14	ETH_TXD0
PS_MI018_501	B18	ETH_TXD1
PS_MI019_501	D10	ETH_TXD2
PS_MI020_501	A17	ETH_TXD3
PS_MI021_501	F14	ETH_TXCTL
PS_MI022_501	B17	ETH_RXCK
PS_MI023_501	D11	ETH_RXD0
PS_MI024_501	A16	ETH_RXD1
PS_MI025_501	F15	ETH_RXD2
PS_MI026_501	A15	ETH_RXD3
PS_MI027_501	D13	ETH_RXCTL
PS_MI052_501	C10	ETH_MDC
PS_MI053_501	C11	ETH_MDIO



3.6 EMMC 管脚定义

板载 EMMC 容量为 8GB，管脚定义如下表。

管脚名称	管脚位置	EMMC 引脚
PS_MI010_500	E9	MMC_DATA0
PS_MI011_500	C6	MMC_CMD
PS_MI012_500	D9	MMC_CLK
PS_MI013_500	E8	MMC_DATA1
PS_MI014_500	C5	MMC_DATA2
PS_MI015_500	C8	MMC_DATA3

3.7 QSPI FLASH

板载 16MB 的 QSPI FLASH，型号为 W25Q128JVS1Q，用于存储启动文件和用户文件。

管脚名称	管脚位置	QSPI FLASH 引脚
PS_MI01_500	A7	QSPI_CS_N
PS_MI02_500	B8	QSPI_D0
PS_MI03_500	D6	QSPI_D1
PS_MI04_500	B7	QSPI_D2
PS_MI05_500	A6	QSPI_D3
PS_MI06_500	A5	QSPI_CLK

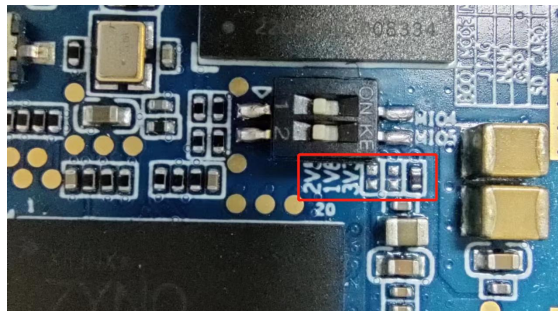
3.8 板载 LED

为方便调试，核心板上放置了两颗 LED，LED 的管脚位置如下表，当管脚输出 0 时 LED 点亮。

管脚名称	管脚位置	LED 引脚
IO_0_34	R19	LED1
IO_25_34	T19	LED2

3.9 BANK35 电平选择

核心板上 BANK35 接口电平可以通过选焊电阻来实现 1.8V/2.5V/3.3V 电平的变更，默认接口电平为 3.3V。电阻位置在核心板拨码开关右下角。



4 底板设计注意事项

4.1 电源部分 PCB 设计

对于核心板 5V 电源与地的连接，每个电源焊盘需要打两个孔以上，保证通流能力。

4.2 高速接口布局走线

1) USB 口：

USB PHY 芯片的并口速率在 60Mhz，并口走线需要保证等长，且长度不大于 1000mil (25.4mm)，所以 PHY 尽量靠近模组放置，USB 差分线 DP/DM 可以拉的长一些。

2) 千兆以太网：

与 RJ45 端连接的信号需要保持等长，RGMII 接口的 TX 部分与 RX 部分需要单独保持等长。

3) HDMI 接口

HDMI 接口信号需要走差分，且差分之间需保持等长控制。

4.3 LVDS 信号

模组的 BANK35 是可以在 1.8V/2.5V/3.3V 三种电平之间选择，默认为 3.3V 电平，如果需要工作在 LVDS 模式下，需要把接口电平调整为 1.8V 或者 2.5V。同时 LVDS 信号走线需做差分处理，并且差分之间保持等长。

4.4 产品防护

对于产品设计，需要在各类接口加上防护电路。需按防护等级需求进行设计。

4.5 ZYNQ7010 与 7020 差异

7010 和 7020 在逻辑容量、管脚数量上均有差异，详细可以参考 ZYNQ7000 手册，需要特别指出的是 ZYNQ7010 没有 BANK13，在设计底板电路时需要特别明确，不要出错，只有 ZYNQ7020 有此 BANK。

5.1 参考资料

1.XILINX ZYNQ7000 技术参考手册: <https://docs.xilinx.com/v/u/en-US/ug585-Zynq-7000-TRM>

5.2 联系方式

邮箱: support@ps-micro.com

网站: www.ps-micro.com

www.guyuehome.com

